

# 經濟部所屬事業機構 101 年新進職員甄試試題

類別：航空電機電子

節次：第二節

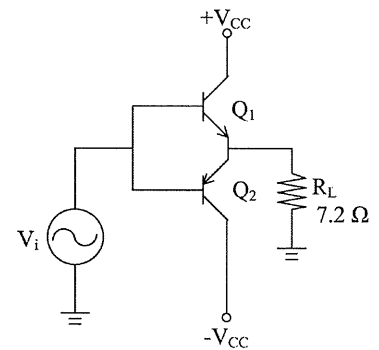
科目：1. 電子學      2. 計算機組織與結構

注意事項

1. 本試題共6頁(含A3紙1張、A4紙1張)。
2. 可使用本甄試簡章規定之電子計算器。
3. 本試題為單選題共60題，前40題每題各1.5分、其餘20題每題2分，共100分，須用2B鉛筆在答案卡畫記作答，於本試題或其他紙張作答者不予計分。
4. 請就各題選項中選出最適當者為答案，各題答對得該題所配分數，答錯或畫記多於1個選項者，倒扣該題所配分數3分之1，倒扣至本科之實得分數為零為止；未作答者，不給分亦不扣分。
5. 本試題採雙面印刷，請注意正、背面試題。
6. 考試結束前離場者，試題須隨答案卡繳回，俟該節考試結束後，始得至原試場索取。
7. 考試時間：90分鐘。

1. 若共射極組電晶體之 $\beta$ 值由 50 變至 100，則 $\alpha$ 值變化如何？  
 (A)由 0.98 變至 0.99    (B)由 0.99 變至 0.98    (C)由 0.92 變至 0.96    (D)由 0.96 變至 0.92
2. 對歐利效應(Early effect)及其影響，下列敘述何者正確？  
 (A) $\alpha$ 值隨著 $|V_{CB}|$ 的增加而變大  
 (B)若有效的基極寬度 $W_B'$ 降為零則導致電晶體中的電壓崩潰  
 (C)少數載體的濃度梯度 $P_n$ 會在基極內增加  
 (D)以上皆是
3. 若 npn 電晶體工作於截止區時，下列接面偏壓敘述何者正確？  
 (A)基-射接面順向偏壓，基-集接面順向偏壓    (B)基-射接面順向偏壓，基-集接面逆向偏壓  
 (C)基-射接面逆向偏壓，基-集接面順向偏壓    (D)基-射接面逆向偏壓，基-集接面逆向偏壓

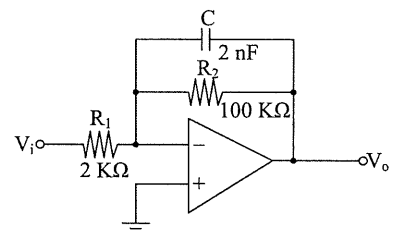
4. 串聯饋送式 A 類放大器在理論上最高效率 $\eta_{max}$ 為何？  
 (A) 30%    (B) 25%    (C) 35%    (D) 60%
5. 如【圖 1】電路所示，B 類推挽放大器若 $R_L = 7.2 \Omega$ 且最大輸出功率 $P_{O(ac)max} = 10 W$ ，則 $V_{CC}$ 為何？



【圖 1】

6. 差動放大器若其差模增益 $A_d = 1000$ 共模增益 $A_c = 1$ ，則其共模拒斥比(CMRR)值為何？  
 (A) 20 dB    (B) 40 dB    (C) 60 dB    (D) 80 dB

7. 如【圖 2】電路所示，若電容 $C = 2 nF$ ，電阻 $R_1 = 2 K\Omega$ ， $R_2 = 100 K\Omega$ ，若當輸入電壓為交流電源時，則高頻時的電壓增益 $\frac{V_o}{V_i}$ 約為多少？

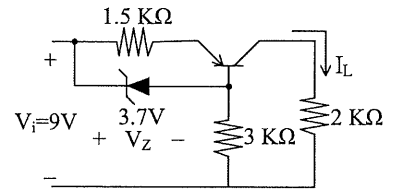


【圖 2】

8. 承第 7 題，下列敘述何者錯誤？  
 (A)低頻時電壓增益為 $-\frac{R_2}{R_1}$     (B)截止頻率為 $\frac{1}{2\pi R_1 C}$   
 (C)為低通濾波器    (D)為積分器

9. 如【圖 3】電路所示，定電流電路若  $V_Z = 3.7\text{ V}$ ， $V_{EB} = 0.7\text{ V}$ ，試求  $I_L$  為何？

- (A) 2 mA      (B) 4 mA      (C) 6 mA      (D) 0.5 mA



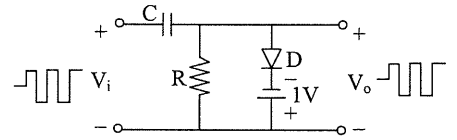
【圖 3】

10. 某矽質二極體在溫度  $20^\circ\text{C}$  時逆向飽和電流為  $5\text{ nA}$ ，當溫度為  $30^\circ\text{C}$  時，此二極體逆向飽和電流為何？

- (A) 6 nA      (B) 8 nA      (C) 10 nA      (D) 12 nA

11. 若有一功率電晶體接面溫度  $T_J = 125^\circ\text{C}$ ，環境溫度  $T_A = 25^\circ\text{C}$ ，電晶體的消耗功率  $P_D$  為  $40\text{ W}$ ，試求熱阻  $\theta_{JA}$  為何？

- (A)  $2.5^\circ\text{C/W}$       (B)  $1.5^\circ\text{C/W}$       (C)  $3.2^\circ\text{C/W}$       (D)  $0.5^\circ\text{C/W}$



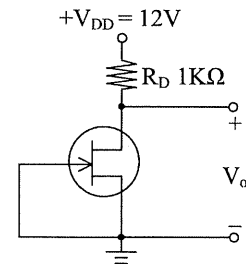
【圖 4】

12. 如【圖 4】所示電路，若輸入電壓  $V_i = \pm 3\text{ V}$  方波，則輸出電壓  $V_o$  之最大及最小振幅為何？

- (A)  $-7\text{ V} \leq V_o \leq -1\text{ V}$       (B)  $-4\text{ V} \leq V_o \leq -1\text{ V}$   
 (C)  $-1\text{ V} \leq V_o \leq 3\text{ V}$       (D)  $-3\text{ V} \leq V_o \leq 1\text{ V}$

13. 如【圖 5】所示電路為恆流源電路，其中汲源飽和電流  $I_{DSS} = 4\text{ mA}$ ， $V_{DD} = 12\text{ V}$ ， $R_D = 1\text{ K}\Omega$ ，則輸出電壓  $V_o$  為何？

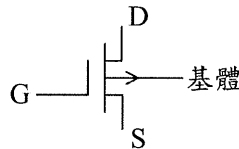
- (A) 10 V      (B) 6 V      (C) 12 V      (D) 8 V



【圖 5】

14. 如【圖 6】所示為何種電晶體？

- (A) n 通道增強式金氧半場效電晶體  
 (B) p 通道增強式金氧半場效電晶體  
 (C) n 通道空乏式金氧半場效電晶體  
 (D) p 通道空乏式金氧半場效電晶體



【圖 6】

15. 有一調諧 C 類放大器，電源  $V_{cc} = 20\text{ V}$  且最大輸出功率為  $2\text{ W}$ ，若推動此放大器的輸入信號頻率為  $200\text{ KHz}$ ，導通的時間為每週期  $1\text{ }\mu\text{s}$ ，且導通時  $I_{C(sat)} = 100\text{ mA}$ ， $V_{CE(sat)} = 0.2\text{ V}$ ，則此放大器的最大效率為何？

- (A) 98.2%      (B) 99.5%      (C) 99.8%      (D) 93.5%

16. 若某一個電晶體之  $I_{CBO} = 40\text{ nA}$ ， $I_{CEO} = 10\text{ }\mu\text{A}$ ，則此電晶體之  $\beta$  值為何？

- (A) 149      (B) 249      (C) 49      (D) 349

17. 在電晶體 h 參數中，代表輸入開路時之輸出導納為何？

- (A)  $h_{12}$       (B)  $h_{21}$       (C)  $h_{11}$       (D)  $h_{22}$

18. 有兩個正弦波電流方程式分別為  $i_1(t) = 10\sin(120\pi t)\text{ A}$ ， $i_2(t) = 5\sin(120\pi t + 30^\circ)\text{ A}$ ，則此兩波形時間差為何？

- (A) 2.51 ms      (B) 1.02 ms      (C) 1.39 ms      (D) 1.53 ms

19. 有一脈波若其脈波寬度為  $2.5\text{ }\mu\text{s}$ ，工作週期為 4%，則此脈波之頻率為何？

- (A) 21 KHz      (B) 10 KHz      (C) 16 KHz      (D) 32 KHz

20. 某一個稽納二極體在  $25^\circ\text{C}$  時崩潰電壓為  $10\text{ V}$ ，其溫度係數為  $0.05\%/^\circ\text{C}$ ，當溫度為  $61^\circ\text{C}$  時此稽納二極體之崩潰電壓為何？

- (A) 9.5 V      (B) 10.18 V      (C) 11.24 V      (D) 12.2 V

21. 下列何者負責記錄 CPU 下一個要執行的指令在記憶體中之位址？
- (A) 堆疊指標 (stack pointer) (B) 指令暫存器 (instruction register)  
(C) 累加器 (accumulator) (D) 程式計數器 (program counter)
22. 為了達成副程式巢狀呼叫，於呼叫副程式前，需先將返回位址存放於何處？
- (A) 堆疊指標 (stack pointer) (B) 堆疊記憶體 (stack memory)  
(C) 指令暫存器 (instruction register) (D) 程式計數器 (program counter)
23. 下列何者為 CPU 執行指令的正確順序？
- (A) 取指令、分析指令、執行、取資料 (B) 取指令、取資料、分析指令、執行  
(C) 取資料、取指令、分析指令、執行 (D) 取指令、分析指令、取資料、執行
24. 計算機中，「算術與邏輯運算」由下列何者執行？
- (A) ALU (B) DMA (C) IOP (D) BIOS
25. 設計一個最小可用的計算機指令集，下列何者不是絕對必要的指令？
- (A) 資料運算指令 (B) 資料搬動指令 (C) 流程控制指令 (D) 字串比對指令
26. 下列何者不是複雜指令集 (CISC) 計算機的特點？
- (A) 每個指令字長差異大 (B) 指令集數目多且複雜  
(C) 擁有大量通用型暫存器 (D) 提供複雜的定址模式
27. 下列對精簡指令集 (RISC) 計算機的特性描述，何者錯誤？
- (A) 撰寫組合語言程式比 CISC 計算機方便 (B) 各指令長度與格式固定  
(C) 每個指令執行的時間差異較小 (D) 提供少數、常用且簡單的指令
28. 有關計算機指令集架構的敘述，下列何者正確？
- (A) 愈多功能強大的指令代表效能愈好  
(B) 用組合語言寫的程式一定有較高的執行效能  
(C) 管線化 (pipelining) 技術比較適合使用在精簡指令集 (RISC) 架構  
(D) 固定長度的指令編碼效能優於不固定長度的指令編碼
29. 計算機使用補數來代表負數的原因為何？
- (A) 是負數的唯一表示法 (B) 加法器較容易製作 (C) 易為大眾所接受 (D) 適合人類之思考
30. 一個 32 位元長度的無號數，所能表示的最大數值為何？
- (A)  $2^{16}$  (B)  $2^{16} - 1$  (C)  $2^{32}$  (D)  $2^{32} - 1$
31. 十進位數  $202_{10}$  之十六進位碼為何？
- (A) 0xC6 (B) 0xC8 (C) 0xCA (D) 0xAC
32. 一個 2 的補數 (2's complement)  $1111\ 1111\ 1111\ 1100_2$ ，其十進位值為何？
- (A) -4 (B) -3 (C) 4 (D) 3
33. 無號數二進位碼  $1111\ 1101\ 0000\ 0101_2$ ，其十六進位值為何？
- (A) 0xFB01 (B) 0xFC03 (C) 0xFD05 (D) 0xFE07
34. 兩個有號數  $0111\ 0101_2$ 、 $0011\ 0010_2$  相加，其運算結果會產生？
- (A) 進位 (B) 負值 (C) 溢位 (D) 零值

35. 針對前瞻進位加法器 (Carry Look-ahead Adder) 的敘述，何者錯誤？

- (A) 每個位元有獨立的計算進位電路，不用等待前一位元的計算
- (B) 進位電路複雜使成本提高
- (C) 高位元與低位元的電路複雜度一樣
- (D) 計算時間固定，不受位元長度影響

36. 下列何者是硬體拉線控制 (Hardwired Control) 的優點？

- (A) 速度比較快
- (B) 較具結構性
- (C) 彈性較大
- (D) 容易維護

37. 為了使兩個浮點數的指數大小的比較更為容易，IEEE 754 標準對指數部分採用何種編碼？

- (A) 1's 補數
- (B) 2's 補數
- (C) 以一個符號位元來表示指數的正負值
- (D) 加權碼表示法 (將指數的實際值加上固定的偏移值)

38. 以下位元串是以 IEEE 754 正規化表示法表示之浮點數，其十進位值為何？

正負	指數	有效值
1	1000 0000	1000 0000 0000 0000 0000 0000

- (A)  $-0.5 \times 2^{128}$
- (B)  $-0.5 \times 2^1$
- (C)  $-1.5 \times 2^{128}$
- (D)  $-1.5 \times 2^1$

39. 下列哪項技術可以讓 CPU 同步執行串列的指令，增加單位時間內執行的指令數量？

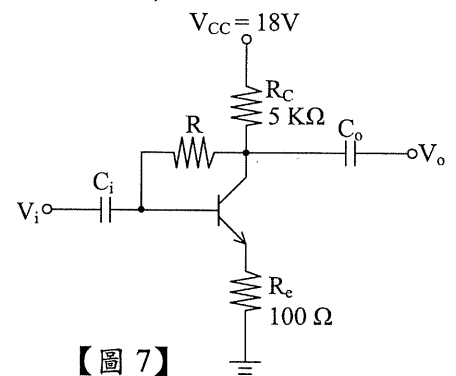
- (A) DMA
- (B) Pipeline
- (C) Cache Memory
- (D) Register

40. 在指令管線 (Pipeline) 中，每一個 clock cycle 有數個指令同時被執行，如果硬體不能滿足所有執行中指令的需求，以致下個指令無法在緊接的 clock cycle 被執行，此種管線危障稱為：

- (A) 結構危障 (Structural hazards)
- (B) 控制危障 (Control hazards)
- (C) 資料危障 (Data hazards)
- (D) 分支危障 (Branch hazards)

41. 如【圖 7】電路所示，若電晶體之參數  $\beta = 99$ ， $V_{CC} = 18V$ ， $R_C = 5K\Omega$ ， $R_e = 100\Omega$  且  $V_{CE} = 5V$ ，反向飽和電流可略之不計，試求  $I_B$  為何？

- (A)  $30\mu A$
- (B)  $26.3\mu A$
- (C)  $25.5\mu A$
- (D)  $28.5\mu A$



【圖 7】

42. 承第 41 題，試求 R 值為何？

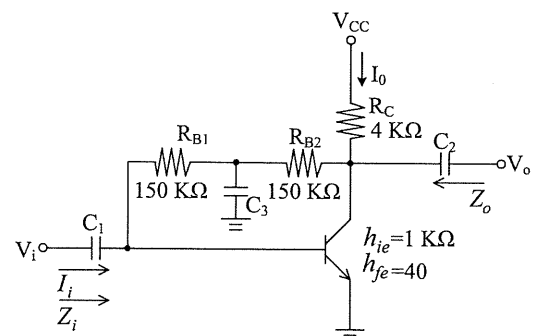
- (A)  $150.5K\Omega$
- (B)  $168.6K\Omega$
- (C)  $195.6K\Omega$
- (D)  $125.4K\Omega$

43. 如【圖 8】電路所示， $h_{ie} = 1K\Omega$ ， $h_{fe} = 40$ ， $R_{B1} = R_{B2} = 150K\Omega$ ， $R_C = 4K\Omega$ ，試利用近似等效電路， $h_{re}$  及  $h_{oe}$  的效應略去不計，則  $A_v$  為何？

- (A) -118
- (B) -125
- (C) -160
- (D) -175

44. 承第 43 題，試求  $Z_i$  值為何？

- (A)  $1.5K\Omega$
- (B)  $1K\Omega$
- (C)  $1.2K\Omega$
- (D)  $812\Omega$



【圖 8】

45. 場效電晶體小訊號模型中， $g_m = g_{mo} \left[ 1 - \frac{V_{GS}}{V_{GS(OFF)}} \right]$ ，對  $g_{mo}$  之敘述下列何者正確？

- (A) 為  $V_{GS} = 0$  伏特時電阻值 (B) 為固定之最小增益  
 (C) 受到直流偏壓之影響 (D) 以上皆非

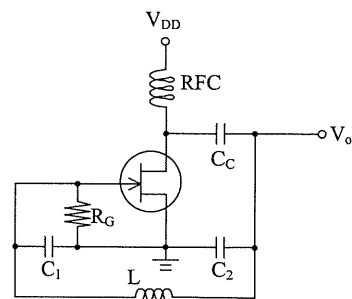
46. 試求全波整流電路之輸出波形(未濾波前)的漣波百分率為何？

- (A) 55% (B) 48% (C) 32% (D) 63%

47. 如【圖 9】電路為阿匹次振盪器(Colpitts oscillator)，其頻率  $f_0$  為何？

(A)  $f_0 = \frac{1}{2\pi\sqrt{LC_1}}$  (B)  $f_0 = \frac{1}{2\pi\sqrt{LC_2}}$

(C)  $f_0 = \frac{1}{2\pi\sqrt{LC_c}}$  (D) 以上皆非



【圖 9】

48. 如【圖 10】電路所示為 MOSFET 邏輯電路，其邏輯運算為何？

- (A)  $Y = \overline{A+B}$  (B)  $Y = \overline{AB}$   
 (C)  $Y = A+B$  (D) 以上皆非

49. 有關理想放大器的敘述，下列何者錯誤？

- (A) 輸入阻抗無窮大 (B) 頻寬無窮大  
 (C) 輸出阻抗為零 (D) CMRR 值為零

50. 電晶體共射極組態放大電路中，輸出信號與輸入信號相位相差為何？

- (A) 相同 (B) 相差 180 度  
 (C) 相差 90 度 (D) 相差 45 度

51. 就 CPU 存取資料而言，對下列哪種記憶體的存取速度最快？

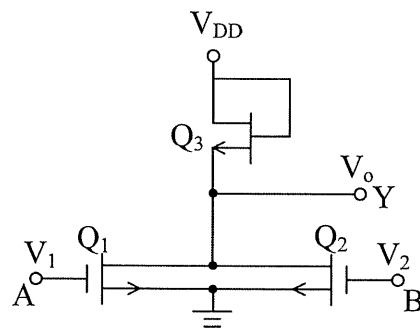
- (A) SRAM (B) DRAM  
 (C) EEPROM (D) Flash ROM

52. 計算機系統中把記憶體分為幾個階層，稱為記憶體階層架構(memory hierarchy)。針對較底層記憶體的描述，下列何者不正確？

- (A) 每單位記憶體的價格較低 (B) 記憶體的容量較小  
 (C) 記憶體的存取速度較慢 (D) 記憶體被處理器存取的頻率較低

53. 一計算機系統所搭配之快取記憶體(cache memory)讀取時間為 2 cycles，處理快取失敗所需時間(miss penalty)為 10 cycles，系統快取平均命中率為 95%，則系統平均記憶體讀取時間為何？

- (A) 2 cycles (B) 2.5 cycles (C) 3 cycles (D) 3.5 cycles



【圖 10】

54.何謂 CPU 對記憶體存取的空間區域性( Spatial locality )法則？

- (A)一個記憶體的位置被存取後，不久會再度被存取的趨勢
- (B)一個記憶體的位置被存取後，其附近地址也會被存取的趨勢
- (C)某區塊主記憶體僅能被載到特定的快取記憶體區塊內
- (D)快取失誤( Cache miss )固定發生在某些位址上

55.對虛擬記憶體的分頁失誤( page fault )描述，下列何者錯誤？

- (A)發生時機為當程式試圖存取定址空間中的資料，但資料卻不在實體記憶體裡
- (B)一般由作業系統負責處理分頁失誤的問題
- (C)對應用程式來說，覺得好像分頁失誤從來沒有發生過一樣
- (D)當實體記憶體被耗盡時，才會發生分頁失誤

56.若 CPU 要寫資料到某一位址，當快取命中時，可以採用全寫式( write through )寫入，以保持快取與主記憶體內容一致，針對全寫式寫入方式之描述，下列何者錯誤？

- (A)資料會立刻寫到快取及主記憶體中
- (B)通常配合寫入緩衝區( write buffer )使用，以提昇寫入效能
- (C)用來提昇平均寫入發生速率高於主記憶體能接受資料速率時的效能
- (D)適合多 CPU 系統使用

57.為了避免實體主記憶體不足而無法執行程式，所發展出來的技術為何？

- (A)快取記憶體
- (B)輔助記憶體
- (C)快閃記憶體
- (D)虛擬記憶體

58.程式執行時發生記憶體錯誤(譬如資料寫至記憶體保護區)，而產生中斷。此類中斷稱為：

- (A)指令中斷
- (B)系統中斷
- (C)外部中斷
- (D)軟體中斷

59.假設有個 CPU 以單一管線執行指令，指令平均分割成 6 奈秒(nS)、6 奈秒、6 奈秒、6 奈秒、6 奈秒等 5 個步驟，現有 40000 個指令執行，不考慮其他因素，則此管線處理比順序處理大約可快幾倍？

- (A) 6 倍
- (B) 5 倍
- (C) 3 倍
- (D) 10 倍

60.同第 59 題之情形，但指令分割成 5 奈秒(nS)、6 奈秒、6 奈秒、10 奈秒、3 奈秒等 5 個步驟，則此管線處理比順序處理大約可快幾倍？

- (A) 6 倍
- (B) 5 倍
- (C) 3 倍
- (D) 10 倍